

⑫ 特 許 公 報 (B 2)

平 1-23878

⑬ Int. Cl.⁴
G 11 C 11/34

識別記号
3 5 2

庁内整理番号
A-3522-5B

⑭ 公告 平成 1 年 (1989) 5 月 9 日

発明の数 1 (全 16 頁)

⑮ 発明の名称 不揮発性メモリ

審 判 昭 62-10866

⑯ 特 願 昭 54-82541

⑰ 公 開 昭 55-8696

⑱ 出 願 昭 54 (1979) 6 月 29 日

⑲ 昭 55 (1980) 1 月 22 日

優先権主張 ⑳ 1978 年 6 月 30 日 ㉑ 西ドイツ (D E) ㉒ P 2828855.3

㉓ 発 明 者 ハルトムート・シュレ ドイツ連邦共和国ハール・フアザーネンベーク 22
ンク

㉔ 出 願 人 シーメンス、アクチエ ドイツ連邦共和国ベルリン及ミュンヘン (番地なし)
ンゲゼルシャフト

㉕ 代 理 人 弁理士 富 村 潔

審判の合議体 審判長 加藤 貴士 審判官 浅見 保男 審判官 吉見 信明

㉖ 参考文献 特開 昭 51-93638 (J P, A)

1

2

① 特許請求の範囲

1 マトリックス配置のメモリセルを備えた語単位で動作する電氣的にプログラム組替え可能な不揮発性メモリにおいて、

(a) メモリセルマトリックスに一つの制御回路が 5
組合わせて接続され、それによつてマトリックス行のそれぞれに可変の消去時間と書込み時間が予め定められ、消去又は書込みが行われるマトリックス行中の一つ又は複数の消去又は書込み状態はこの行の消去又は書込み時間中に制御 10
され、

(b) その際一つのマトリックス行の消去時間を可変とし消去する行の一つ又は複数のメモリセルの消去状態を制御するため、メモリセルに印加される消去電圧を一連の時間的に継起する各個 15
のパルスに分割し、各パルス休止期間にコントロール読出し過程を挿入し、その際マトリックス行の消去時間は、コントロール読出しが行われた総てのマトリックスセルのしきい値電圧 | U_T | が使用されたメモリセルの予め与えられたしきい値電圧 | U_{GL} | に等しいかそれより小 20
さいとき終了し、

(c) マトリックス行の書込み時間を可変にすることを可能にしプログラミングされるべきマトリックス行の一つ又は複数のメモリセルのプログ 25

raming 状態を制御するため、メモリセルに印加されるプログラミング電圧を一連の時間的に継起する各個のパルスに分割し、各パルス休止期間にそれぞれコントロール読出し過程を挿入し、その際マトリックス行の書込み時間はコントロール読出しが行われた総てのメモリセルのしきい値電圧 | U_T | が使用されたメモリセルの予め与えられたしきい値電圧 | U_{GL} | に等しいかそれより大きいとき終了し、

(d) 消去時間中にしきい値電圧 | U_{GL} | において行われるコントロール読出し過程の途中で消去状態がドレン電圧の絶対値 | U_D | の下降によつて示され、書込み時間中にしきい値電圧 | U_{GL} | を印加して行われるコントロール読出し過程の途中でプログラミング状態がドレン電圧の絶対値 | U_D | の上昇によつて示され、

(e) このドレン電圧は、所属のマトリックス行に印加されている書込み電圧ないし消去電圧の遮断に使用され、

(f) そのために制御回路はメモリのメモリセルに対するゲート制御回路およびソース・ドレン制御回路を含み、これらの制御回路は評価ロジックにより制御されるパルス回路を有する制御回路により制御され、該評価ロジックはメモリセルと結合された少なくとも 1 つの入力を含み、

該入力は消去ないし書込み期間中制御されるそれぞれ1つのアンド回路と結合され、該アンド回路を消去ないし書込み過程の終了を定める、ことを特徴とする不揮発性メモリ。

発明の詳細な説明

この発明は、マトリックス配置されたメモリセルを持ち語単位で電氣的にプログラムを組替え可能な不揮発性メモリに関するものである。

“IEEE Transactions on Electron Devices, ED-24(5)” p.606-610(1977) により電氣的にプログラム組替え（書換え）可能な不揮発性メモリに浮遊ゲート電界効果トランジスタを利用することは公知である。この電界効果トランジスタにおいては総ての側から絶縁された浮遊メモリゲートと制御可能な制御ゲートとがチャネル区間の上に垂直に重ねて設けられ、制御ゲートはチャネル区間全体を覆うのに対して浮遊ゲートはその一部だけを覆っている。読出しに際して消去されるデプレッション型のメモリセルの場合スプリットゲートと呼ばれている構造により誤差が避けられる。浮遊ゲートの充電はチャネル注入による。そのためには電子が短いチャネル内で加速され、補助の横方向電界によって浮遊ゲートに向って送られる。浮遊ゲートの放電（消去）は制御ゲートと拡散領域の間に高い電圧を加えたときの電子の逆向きトンネリングによる。

浮遊ゲート技術による語単位で消去可能な不揮発性メモリの一種は既に提案されているが（特開昭54-57972号公報参照）、それによれば浮遊ゲートの充電と放電は浮遊ゲートと基板の間で電子が直接移動することによるものでそのためには適当な極性の高い電界を浮遊ゲートと基板の間に加えなければならない。

トラップ蓄積形メモリの一例としては“Siemens Forschungs- und Entwicklungsberichte, 4, (4)” p. 213-219(1975) に不揮発性メモリを構成するためのMNOS-メモリセルが記載されている。この場合電荷の蓄積はトラップ（捕獲中心）から窒化物層と酸化物層の間の境界面への電荷の移動による。トラップの充電とその放電は強電界によるトンネル効果に基づく。

“IEEE Transaction on Electron Device, ED-24(5)” p.584-586(1977) には、MNOS

トランジスタと同様に動作するが金属ゲート電極-窒化物層-酸化物層という層列がポリシリコン-酸化窒化物-窒化物-酸化物という層列のトランジスタで置き換えられているメモリセルが記載されている。

上記のメモリセルで構成されている記憶装置では消去時間および書込み時間が外部の時間ユニットによって決められ調整される。消去および書込み時間は製造技術に基く個々のセルの消去および書込み特性のばらつきを一つのチップ内だけではなく多くの製造チャージに亘って考慮し、充分長く選ぶ必要がある。この外に時間ユニット自体に基く設定時間の許容差の変動も考えなければならない。しかしプログラム組込みおよび消去時間が長いと隣接語妨害の危険が増し、特に書込みがチャネル注入によるメモリセルではプログラミング特性が悪化する。長い書込みおよび消去時間は可能な書込み-消去サイクル数を減少させる。書込み-消去時間を最短にして半導体メモリの寿命と品質を改善するためには外部時間ユニットを不要にし、書込み-消去時間の設定に当って同一チップ内の変動だけが影響を及ぼし、チャージ間の変動は考慮外に置くことができるような半導体メモリとすることが望まれる。これによつて書込み-消去時間を著しく短縮することが可能となりメモリの寿命の品質が改善される。

この発明の目的は、外部時間ユニットが不要となりプログラムの有効書込み時間が外部時間ユニットを使用する場合よりも短縮されるように語単位で電氣的にプログラミング可能な不揮発性メモリを構成することである。

この目的は、メモリマトリックスに対して一つの制御回路を組合せ接続し、それによつてメモリマトリックスの各行に対して可変の消去および書込み時間を設定し、これらの時間の終りは消去又は書込みが行われるマトリックス行中の一つ又は複数のメモリセルが予め定められた消去又は書込み状態に達したことによつて示され、この消去又は書込み状態はマトリックス行の消去又は書込みの過程の途中で制御されるようにすることによつて達成される。

この発明によるメモリの利点は、公知のメモリと比べて外部時間ユニットが省かれメモリ駆動のための全回路が簡単廉価となることである。時定

数の決定に際して計算に入れなければならない時間ユニット所属の総ての部品の特性の変動は最早メモリの書込みおよび消去時間に関係することなく、従つてそれを長くする効果もない。

外部時間ユニットを付設する場合にはメモリチップのプログラム書込みおよび消去時間の許容差の変動を異つた製造チャージから取つたメモリチップについて考慮しなければならない。この発明によるメモリの書込みおよび消去時間には一つのチップ内のセルの間の変動だけしか影響を及ぼさないから、この時間が外部時間ユニットを使用する従来のメモリのものより短縮される。

プログラム書込みおよび消去時間の短縮は第一にメモリの動作の点で有利である。第二にプログラム組替え（書換え）時間の短縮はメモリの寿命に対して有利に作用する。メモリのプログラム書込みおよび消去特性が書込み—消去サイクル数の増大と共に悪化することはよく知られている。この悪化はホットキャリアの原因となる酸化物毒または窒化物層の疲労現象等に基くものである。従つてプログラム組替え（書換え）時間の短縮は可能な書込み—消去サイクル数の増大とメモリの寿命の延長を意味する。

更に消去時間の短縮により浮遊ゲートメモリセルの場合過消去即ちしきい値電圧の負側への大きな移動の危険が低減される。これによつて続くチャネル注入によるプログラム書込過程においての難点が避けられる。

最後にプログラム組替え（書換え）時間の短縮により隣接語妨害の危険も減少する。プログラム組替え時間が長いと個々のセルにおいて隣接語により望ましくない情報の書込みまたは消去が行われ、メモリの誤動作となることがある。

プログラムの書込みおよび消去時間の短縮により電流負荷時間が短くなり、半導体結晶板の加熱も低くなる。この利点は例えばチャネル注入によるプログラミングのような書込みおよび消去に大きな電流を必要とするメモリの場合特に重要である。

この発明の実施に際してメモリセルマトリックスに組合せる制御回路により一つのマトリックス行の消去時間を可変にし、またこの行の一つ又は複数のメモリセルの消去状態を制御するためメモリセルに加えられる消去電圧を時間的に継起する

一連のバルスに分割し、バルス間の間隔にそれぞれコントロール読出し過程が挿入されるようにすることができる。

チャネル領域から電氣的に分離された消去領域を持たないメモリセルでは、消去とコントロール読出しを同時に行なうことは次の理由で不可能である。即ち n チャネルセルの場合消去に際しては高い正電圧をソースに印加する必要があり、コントロール読出しに際してはソースを地電位に置かなければならないのに対して、 p チャネルの場合には印加電圧の符号が逆になるだけであるからこの両条件を同時に満たすことは常に不可能である。消去電圧を時間的に継起する一連のバルスに分割すると、バルス間の間隔中にコントロール読出しが可能となる。従つてこの種のメモリセルに対しては消去電圧をバルス列に分割することは特に有意義である。

しかしこれは、チャネル領域から電氣的に分離された消去窓を持つセルにおいても時間的に一定な消去電圧による消去が可能であるにもかかわらず消去バルス電圧列によつて消去する可能性を除外するものではない。バルスによつて消去すれば結晶の加熱が低減されるから、消去バ尔斯の利用は絶縁された消去窓を持つセルに対しても有利である。

コントロール読出しが行われる総てのメモリセルのしきい値電圧の絶対値 $|U_T|$ が使用されるメモリセルに予め定められたしきい値電圧の絶対値 $|U_{GL}|$ より小さいかあるいはそれに等しくなつた時が一つのメモリセルマトリックス行の消去過程の終りとなるように、制御回路をメモリセルマトリックスに組合せ接続すると有利である。この条件は n チャネルメモリセルの場合次のようにして実現される。一つのメモリセルはその制御ゲートに充分高い正電圧が加えられていないと未消去状態である。例えばソースに向つて消去が行われると消去バルス中ソースに高い正電圧が加えられ、制御ゲートの方は地電位に置かれる。ドレンには適当な回路により常にセルの読出しとコントロール読出しには充分であるそれ程高くない正電圧が加えられる。消去過程の開始に当つてしきい値電圧絶対値 $|U_T|$ が規定しきい値電圧絶対値 $|U_{GL}|$ より大きい限りセルは消去バルス間隔中も阻止状態にとどまる。いくつかの消去バ尔斯の

(“1”)又は消去状態のしきい値電圧 U_T (“0”)との間に一定の最小間隔を保証する。ここで $|U_T$ (“1”) $>$ $|U_{\alpha}|$ であり、 $|U_T$ (“0”) $<$ $|U_{\alpha}|$ である。これによつて確実な読出しが可能となる。許容差に基づく一つのメモリ内のメモリセルの書き込みおよび消去特性の差は、読出しの信頼性に影響を及ぼすことなく単に書き込み過程と消去過程の長さに影響するだけである。この方法においてはプログラムされない状態とプログラムされた状態とが読出し電圧に相対的に極めて精確に決定されるから、電気的の窓の幅即ち書き込み中のコントロール読出しに際してのゲート電圧と消去中のコントロール読出しに際してのゲート電圧の間の差を低下させることができる。これによつてプログラム組替え(書換え)中の電圧を低くするかあるいはプログラミング時間を特に短くすることが可能となり有利である。更にこの方法においては上記の電気的の窓を予め与えられたしきい値電圧範囲内に移すことができる。

図面と実施例によつてこの発明を更に詳細に説明する。実施例は総て n チャネルに関するものであるが、 p チャネルの実施例も同様に可能である。

第1図はこの発明による m 行 \times n 列のメモリマトリックス100を持つメモリのブロック接続図である。メモリマトリックス100にはソース・ドレン制御回路200が接続され、それから矢印で示すようにソース電圧 U_{s1} 乃至 U_{sm} とドレン電圧 U_{d1} 乃至 U_{dm} が供給される。矢印の向きはそれぞれの電圧が決定される側を指している。 U_{d1} 乃至 U_{dm} に対する両方に向いた矢印は、ドレン電圧が直接ドレン制御回路を通じて決定されることもありまた浮遊ドレンの場合間接的にソース制御回路を通して決定されることもあることを示している。ドレン電圧 U_{d1} 乃至 U_{dm} は評価ロジック400にも導かれる。評価ロジック400とソースドレン制御回路とのデータ入力端 U_{s1} 乃至 U_{sm} は互に導電結合されているが、図を見易くするため U_{s1} だけに対してこの結合が一点鎖線1000で示されている。データ出力 U_{a1} 乃至 U_{am} は、ソースドレン制御回路200から出ている矢印が示すようにドレン電圧 U_{d1} 乃至 U_{dm} のレベルによつて決定される。メモリマトリックス100の語単位で制御されるゲート導線にはゲート制御回路5

00から適当な電圧 U_{g1} 乃至 U_{gm} が供給される。ゲート制御回路500にはマトリックス行デコード W_1 乃至 W_m のアドレス線が接続されているから、適当な語選択が実施される。パルス回路300を持つ制御回路は導線302を通して必要なパルスをソースドレン制御回路200に与え、また導線305を通してゲート制御回路500に与える。導線304は評価ロジック400をパルス回路300を持つ制御回路と結合し、それによつて評価ロジック400はパルス回路300を持つ制御回路のパルス送出時間に作用する。

メモリセルの消去と書き込みが従来のように予め定められた時間ではなく、プログラム(書き込み)されないセルのしきい値電圧 U_T (“0”)とプログラム(書き込み)されたセルのしきい値電圧 U_T (“1”)との間の予め定められたしきい値電圧の範囲で行われる場合の制御パルスの経過を第2図に示す。第2図のaの消去パルスは消去パルス時間中bに示した階段状に下降するしきい値電圧24を作る。消去中のコントロール読出しパルスはcに示すように消去パルスの間隔で発生する。

書き込みは第2図dからfに示すように消去に対応する経過となる。

第2図aにはソースパルス U_s の時間経過が示されている。矩形パルス11, 12, 13は選ばれたセルのソースに消去のために導かれる。この消去パルスの持続時間は T_L であり一つの消去パルスの開始と次の消去パルスの開始までの時間は T_1 であるから、続く二つのパルス間の間隔は $T_1 - T_L$ となる。第2図bには一つの選ばれたセルの消去時間中のしきい値電圧の変化を示す。この消去はaに示したパルスによつて行われる。未消去状態にあつたセルのしきい値電圧曲線20は消去開始時にけ高いしきい値電圧 U_T (“1”)を示す。各消去パルスは選択されたセルのしきい値電圧を低下させる。例えばaのパルス11はしきい値電圧 U_T を線分21に沿つて低下させ、パルス12は線分22に沿つて、パルス13は線分23に沿つて低下させる。セルのしきい値電圧 U_T (“0”)が消去過程中のコントロール読出しの際のゲート電圧 U_{α} 以下になるとこのセルは消去される。この判定規準は曲線20の終値24において満たされる(U_T (“0”) $<$ U_{α})。

第2図cは選択されたセルの消去過程中的のドレ

ン電圧を示す。この消去過程の時間間隔 T_{KL} でコントロール読出しが行われる。消去パルス持続時間 T_L 中のドレン電圧は選ばれたセルの構成と型式によつて種々異つた値をとる。このドレン電圧は第2図cには簡単のため記入されていない。消去過程におけるコントロール読出しの期間 T_{KL} の間、選ばれたセルのドレン電圧26, 27, 28はこのセルのしきい値電圧がある臨界値以下に低下するまで高いレベルにとどまる。この臨界値はbに示す U_{al} であり、これは消去中のコントロール読出し時のゲート電圧に対応する。セルのしきい値電圧が U_{al} 以下となるとドレン電圧は自発的に29まで低下し、セルは導通状態となる。このドレン電圧の自発低下は消去過程を終らせるために利用することができる。

第2図dにはゲート電圧パルス U_0 の時間経過を示す。矩形パルス31, 32, 33は選択されたセルのゲートに導かれ、このセルに情報が書き込まれる。書き込みパルスの長さは T_s であり、一つの書き込みパルスの開始から次の書き込みパルスの開始までの時間は T_s であるから、続く二つの書き込みパルス間の間隔は $T_s - T_s$ となる。

第2図eはdに示したパルスによつて行われる書き込み過程のしきい値電圧の変化を示す。始め消去状態にあつたセルのしきい値電圧曲線40は書き込み過程の開始に当つて低いしきい値電圧39即ちプログラムされていないセルのしきい値電圧 U_T ("0")であり、各書き込みパルスは書き込むべきセルのしきい値電圧値を上昇させる。即ちパルス31はしきい値電圧 U_T を41に沿つて上昇させ、パルス32は42に沿つて、パルス33は43に沿つて上昇させる。しきい値電圧がコントロール読出し中のゲート電圧 U_{as} 以上になると書き込み過程が終了する。この判定規準は曲線40の最終値 U_T ("1")において満たされる(U_T ("1") > U_{as})。

第2図fは書き込み中のセルのドレン電圧 U_0 を示す。この書き込み中の時間間隔 T_{KS} でコントロール読出しが行われる。cと同様にfにはコントロール読出し中のドレン電圧だけが示され、書き込みパルスの継続時間中は示されていない。ドレン電圧値46, 47, 48はセルのしきい値電圧がある臨界値に達するまで低いレベルにとどまり、セルは導通状態にある。この臨界値はeに示した

U_{as} で書き込み中のコントロール読出しに際してのゲート電圧に対応する。セルのしきい値電圧がこの値 U_{as} を越えるとドレン電圧は自発的に49まで上昇し、セルには電流が流れなくなる。このドレン電圧の自発的上昇は書き込み過程を終らせるのに利用することができる。

第2図gは読出し過程のセルのゲート電圧 U_0 の時間経過を示す。矩形パルス51と52は等しいレベルにある。これは読出しゲート電圧 U_{as} である。この値は"1"を書き込まれたメモリセルのしきい値電圧 U_T ("1")と"0"を書き込まれたメモリセルのしきい値電圧 U_T ("0")との中間にある。充電されたセルのしきい値電圧 U_T ("1")および消去されたセルのしきい値電圧 U_T ("0")と読出し電圧 U_{as} との間に充分な間隔を確実に設定する回路技術的な方法は第4図について詳細に説明する。

第2図においては選択されたセルに対する情報の書き込みと消去が図示の書き込みパルスおよび消失パルスによつて実施されるが、浮遊ゲートメモリにおける電荷の移行が特別に構成されたメモリセル、例えば西独特許出願P26439872に記載されたようなチャネル領域外の電気的に絶縁された消去領域または消去窓において行われるものにおいては消去過程とコントロール読出し過程とが同時に進行することができる。この場合静電的の消去も可能であり、消去電圧は適当な評価ロジックと制御回路とによつて消去セルのしきい値電圧が予め定められた下のしきい値電圧以下となつた瞬間に遮断される。

第3図乃至第5図に示す実施例において各端子につけてある記号 T_s および T_L はそれぞれ書き込みパルス又は消去パルスの継続中これらの端子に充分高い正電圧即ち状態"1"に対応する電圧が印加されていることを示す。同様に記号 T_{KL} , T_{KS} は消去パルスおよび書き込みパルスの休止期間で行われるコントロール読出しに対するものである。書き込み、消去、読出しという用語は適当な正電圧が書き込み、消去および読出し過程の全体に亘つてそれぞれの端子に印加されることを意味する。また消去終了、書き込み終了等の言葉は消去または書き込みの終了時点において信号電圧が送り出されたことを表わす。

第3図にこの発明のメモリに使用される評価ロ

ジック 4 0 0 の二つの実施例を示す。ロジック回路 4 1 0 ではビット単位で接続されるドレン導線 1 ないし n が総てメモリマトリックス 1 0 0 から引き出されている。これらの導線はそれぞれインバータ α_1 乃至 α_n の一つを通して AND 回路 β に導かれ、又 OR 回路 γ_1 乃至 γ_n の一つを通して AND 回路 δ に導かれる。更にデータ入力端 D_{m1} 乃至 D_{mn} はそれぞれインバータ η_1 乃至 η_n の一つを通して OR 回路 γ_1 乃至 γ_n の一つに接続される。図を見易くするためドレン線は 1 と 2 と n だけを示す。AND 回路 β は消去パルス休止期間中のコントロール読出し過程即ち T_{KL} の間だけ開放されるのであるが、これは消去パルス休止期間でのコントロール読出しの間は正の電圧を印加され残りの時間には電圧を印加されない AND 回路 β の別の接続線 4 2 0 によつて実施される。同様にして接続線 4 3 0 は AND 回路 δ を書き込みパルス休止期間中のコントロール読出し時間 T_{KS} 中だけ開放する。従つて接続線 4 3 0 に導かれるパルスにより時間 T_{KS} の間 “1” に対応する正電圧が AND 回路 δ に印加され、コントロール読出しの休止期間中は “0” に対応する電圧が AND 回路 δ に加えられて AND 回路は開放されない。消去期間中のコントロール読出し時間 T_{KL} では接続線 4 2 0 はまず電圧 “1” を AND 回路 β に与える。選択された一つの語の消去過程中式きい値電圧が第 2 図 b により予め与えられた低い電圧値 U_{GL} 以下となつたセルは、そのビット単位で接続されるドレン導線 i ($i = 1, \dots, n$) に “0” に対応する電圧を与える。選択された語に対応する総てのセルがこの状態に達した後総てのドレン線 1 乃至 n が “0” に対応する電圧を与える。従つて対応するインバータ α_1 乃至 α_n を通して AND 回路 β の各入力端に “1” が与えられ、AND 回路 β の出力端には消去終了の制御信号が現れる。この信号はパルス回路 3 0 0 を持つ制御回路 (第 1 図) に電圧パルスとして与えられ、それによつて制御回路 3 0 0 から制御ユニット 2 0 0 への以後のパルス供与が遮断される。これによつて選択語に対する消去過程が終了する。

選択語を書込む際には 1 乃至 n のビット単位で接続されるドレン導線がそれぞれ一つの OR 回路 γ_1 乃至 γ_n を通して共通の AND 回路に接続される。OR 回路 γ_i ($i = 1, \dots, n$) にはドレン線 i (i

$= 1, \dots, n$) の外データ入力端 D_m ($i = 1, \dots, n$) が別のインバータ η_i ($i = 1, \dots, n$) を通して接続される。セル i が一つの情報を持っていると i 番目のドレン線によりセルの充電が終つた後充分大きな正のドレン電圧即ち “1” に対応する電圧が OR 回路 γ_i に加えられる。これに対して OR 回路 η_i の第 2 入力には “0” が送られてくる。なぜならば、対応するデータ入力端 D_m に “1” があり、それが中間のインバータ η_i により “0” に変換されるからである。OR 回路 γ_i の出力端からは AND 回路 δ に “1” が与えられる。“0” が書き込まれる第二のメモリセルはそのドレン電圧が上昇しないためビット単位で接続されるドレン線 j を通して対応する OR 回路 γ_j に常に情報 “0” を送り出す。対応するデータ入力端 D_m は “0” をインバータ η_j に送り、このインバータは “1” を OR 回路の第二入力端に与える。従つて OR 回路の出力端は同じく “1” を AND 回路 δ に与える。選ばれた語のセル中 “0” が書き込まれる総てのセルは書き込み過程の開始から “1” を AND 回路の対応する入力端に与える。選ばれた語のセルの中の “1” が書き込まれる残りのメモリセルは総て AND 回路 δ の入力端に対応セルの書き込み過程が終了したとき “1” を与える。AND 回路 δ の入力端に接続された別の接続線 4 3 0 は書き込み期間中のコントロール読出し時間中即ち時間 T_{KS} の間 “1” を AND 回路 δ の入力端に与える。これによつて確実に書き込みパルス休止期間だけでコントロール読出しが行われるようになる。選ばれたメモリセル中の最も遅いものの書き込みが終つた後 AND 回路 δ の総ての入力端には “1” がある。従つて書き込みの終了は AND 回路 δ の出力信号が “1” であることによつて示される。この出力信号は評価ロジック 4 0 0 から導線 3 0 4 を通してパルス部分 3 0 0 を持つ制御回路 (第 1 図) に導かれ、ゲート制御回路 5 0 0 への書き込みパルスの送り出しを終らせるから書き込み過程はこれで終了する。

MOS 技術による集積の場合には AND 回路 β 又は δ の代りに NOR 回路を使用することも有利である。その場合その前に接続されるロジック回路は適当に変更する必要がある。

第 3 a 図にブロック接続図で示したロジック回路 4 5 0 は第 3 図のロジック回路 4 1 0 を単純化

したものである。この回路では単一の測定セル 4 5 1 がメモリマトリックスのメモリセルと並んでチップ上に設けられている。この測定セルの書込みおよび消去過程はチップの総てのセルの書込みおよび消去を代表する。測定セル 4 5 1 の書込み時間あるいは消去時間の終りは同時に一つの選ばれた語に関係する総てのセルの書込み又は消去の終了の信号となる。しかしパルス休止期間においては測定セル 4 5 1 だけでコントロール読出しが行われる。そのためにはドレン導線 4 5 2 が測定セル 4 5 1 から引出され、一方ではインバータ α を通して AND 回路 β の端子 4 5 3 に導かれ、他方では AND 回路 δ の端子 4 5 5 に導かれる。AND 回路 β はこの外に端子 4 5 4 を持ち、この端子によつて消去パルス休止期間ではコントロール読出し時間 T_{KL} 中に “1” が AND 回路 β に導かれ、残りの時間では “0” が AND 回路 β に導かれる。AND 回路 δ にも同様に端子 4 5 6 があり、書込みパルス休止期間のコントロール読出し時間中 “1” が導かれ、残りの時間では “0” が導かれる。測定セル 4 5 1 に消去パルスが導かれるとそのしきい値電圧が次第に低下し、ある限界値以下になると測定セル 4 5 1 が導通するから、コントロール読出しに際してはドレン導線 4 5 2 を通して “0” がインバータ α に与えられ、そこから “1” が AND 回路 β の端子 4 5 3 に送り出される。消去パルス休止期間のコントロール読出し時間 T_{KL} の間端子 4 5 4 にも “1” が導かれるから、AND 回路 β は出力信号として “1” を送り出し、消去終了を伝える。この場合 AND 回路 β の出力端を導線 3 0 4 によつてパルス部分 3 0 0 を持つ制御回路 (第 1 図) と結ぶと、この制御回路から制御回路 2 0 0 へのパルスの送り出しを遮断することができる。これによつて測定セル 4 5 1 における消去終了は選ばれたメモリセルの消去を終了させる。他方測定セル 4 5 1 が同時にメモリマトリックス中の選ばれたセルに書込みパルスを与えると、測定セル 4 5 1 のしきい値電圧が上昇する (第 2 図 e)。このしきい値電圧が予め与えられた値を超えるとパルス休止期間中のドレン電圧が上昇し、ドレン導線 4 5 2 を通して AND 回路 δ の端子 4 5 5 に “1” が導かれる。書込みパルス休止期間中の読出しパルス持続時間 T_{KS} では AND 回路 δ の端子 4 5 6 にも “1” が

送られる。これによつて AND 回路 δ は導線 3 0 4 を通して “1” をパルス部分 3 0 0 を持つ制御回路に与え、それによつてこの制御回路からゲート制御回路 5 0 0 への書込みパルスの送出しが遮断される。従つてメモリマトリックス 1 0 0 中の総ての選ばれたセルの書込み時間は測定セル 4 5 1 の書込み時間と同時に終了する。しかし単一の測定セルを使用することは総てのメモリトランジスタのプログラムの消去と組込み特性の許容差に基く変動が一つのメモリ内部で充分小さいときだけ有効である。

単一の測定セルの代りにビット単位で接続されるドレン導線を持つメモリセルの一行を使用することも可能である。一つのメモリマトリックスの選ばれた語はそれぞれ測定セル 4 5 1 と同様に選ばれた語に関係する総てのセルの書込みと消去の終了の信号を与える専属の測定セルを通して送られる。

第 4 図に分割ゲート 1 0 1 を持つ浮遊ゲートメモリセルから構成されたメモリマトリックス 1 0 0 に対するゲート、ドレンおよびソース制御回路を示す。このメモリセルはチャネルインジェクションによつて充電され、一方一つのメモリセルの浮遊ゲートの放電は制御ゲートと拡散領域との間に高い電圧が加えられ浮遊ゲートから拡散領域に向つて電子が逆トンネリングによつて移動することによる。図に示されたゲート制御回路 5 0 0 は消去パルス休止期間中のコントロール読出し時間 T_{KL} が続く二つの消去パルス間のパルス休止期間全体を占め T_{KL} が $T_1 - T_L$ に等しくなるように構成されている。(第 2 図 a, c 参照) 書込み過程中的コントロール読出し時間 T_{KS} と対応する書込みパルス休止期間の関係も同様である。書込みと消去に際してのコントロール読出し時間はこのように選ぶことは必ずしも強制的なものではなく、コントロール読出しが書込みパルス又は消去パルスの休止期間で確実に実施され、

$$T_{KL} \leq T_1 - T_L, \quad T_{KS} \leq T_2 - T_S$$

であればよい。

第 4 図には図を見易くするためゲート制御回路では 1 番目と i 番目と m 番目の行だけが記入され、ソース制御回路とドレン制御回路においては 1 番目と i 番目と n 番目の列だけが記入されているが、残りの行と列の制御も同様に実施される。

メモリマトリックス100の*i*番目(*i*=1、
…、*m*)のメモリゲートのゲート電圧 $U_{\alpha i}$ は選択
(アドレス)ロジック501_iによりトランジスタ
500_iを通して接続点515に、あるいはイン
バータ500_iによりトランジスタ500_iを通
して分圧器550に導かれる。選択ロジック50
1_iは一つのNOR回路503_iで構成され、その出
力端はトランジスタ500_iのゲートあるいはイン
バータ500_iを介してトランジスタ500_i
のゲートに結ばれている。NOR回路503_iは二
つの入力端を持ち、二つのAND回路502_iと5
04_iの出力端に結ばれている。AND回路502_i
と504_iはそれぞれ二つの入力端を持ち、AND
回路502_iの一つの入力端はインバータ505_i
によりAND回路504_iの一つの入力端に結ばれ
る。

ゲート制御回路500が消去、書き込み、コント
ロール読出しおよび読出しに対して考えられる総
ての条件を実現することを次に説明する。一つの
マトリックス行デコードから出る選択線 W_i 乃至
 W_m によりそれぞれ一つの蓄積された語が選
び出される。以後この語を*i*とし、それ以外のものは
選ばれないものとする。選ばれない語 W_k (*k*≠*i*)
に対しては導線507_kを通して“0”が
AND回路502_kに伝えられるから、その出力端
には“0”が表われる。AND回路504_kではイン
バータ505_kのために導線508_kに“1”が
表われる。全消去過程OR回路514の入力端
516には“1”が送られ、その出力端から
“1”がAND回路504_kの入力端509_kに導か
れる。従つてAND回路504_kの出力端から
“1”がOR回路503_kに与えられ、その出力端
から“1”が送り出される。これによつてイン
バータ500_kとトランジスタ500_kを通して分
圧器550が遮断され、トランジスタ500_kを
通してゲート電圧 $U_{\alpha k}$ が接続点515に加えられ
る。消去パルスの継続中NOR回路523の入力
端521に“1”が送られるから、その出力端に
は“0”が表われる。これによつてトランジスタ
520が阻止され、*k*行のゲート電圧 $U_{\alpha k}$ は接続
点515の電圧値をとる。抵抗510を無視する
と $U_{\alpha k} \approx U_0 \approx 25V$ となる。消去パルス休止期間で
はNOR回路523の両入力端に“0”が導かれ、
出力端から“1”が送り出される。従つてラン

ジスタ520が導通し、ほぼ電圧 $U_{\alpha k}$ に等しい接
続点515の電圧はほぼOVとなる。

選ばれた語*i*に対しては導線507_iが対応す
る行デコードの選択線 W_i を通して“1”を受け
る。AND回路502_iの入力端506_iはAND回
路511の出力端が全消去過程で常に“0”を送
り出し、又入力端531が書き込み過程でだけ、
“1”を受けその他の時間には“0”を受けるた
め全消去過程で常に“0”を送り出す。従つて
AND回路502_iの出力端はOR回路503_iの入
力端に“0”を与える。入力端507_iに導かれ
た“1”はインバータ505_iにより“0”に変
えられて入力端508_iに送られるから、AND回
路504_iもOR回路503_iの第二入力端に“0”
を送る。従つてOR回路503_iの出力端は“0”
を送り出し、トランジスタ500_iが阻止され、
500_iはインバータ500_iにより開放される
から、ゲート電圧 $U_{\alpha i}$ が分圧器550に加えられ
る。この分圧器の出力端551には消去パルスの
継続中トランジスタ567が通電しているためほ
ぼ電圧OVが加えられ、これがゲート電圧 $U_{\alpha i}$ とな
る。消去パルス休止期間ではトランジスタ567
が阻止される。又トランジスタ566と565が
全消去過程で阻止されているから、分圧器の出
力端551には消去パルス休止期間トランジスタ5
64を通して電圧 $U_{\alpha i}$ が導かれ、これが同時にゲ
ート電圧 $U_{\alpha i}$ となる。電圧 $U_{\alpha i}$ が選ばれた語*i*に
関係するゲートに加えられていると、パルス休止
期間中に調整読出しが行われる。

全書き込み過程で入力端507_kには選択されな
い語の場合常に“0”が印加されるから、AND
回路502_kもOR回路503_kの入力端に“0”
を送り込む。しかしAND回路504_kの入力端5
08_kにはインバータ505_kにより常に“1”が
送り込まれ、入力端509_kには書き込みパルス休
止期間で同じく“1”が送り込まれるから、
AND回路504_kは書き込みパルス休止期間OR回
路503_kの第二入力端に“1”を送り込む。す
なわち書き込みパルス休止期間ではインバータ51
2がAND回路513の入力端533に“1”を
与える。AND回路513の第二入力端532に
は全書き込み過程で“1”が加えられているから、
AND回路513はOR回路514の入力端517
に“1”を導き、OR回路514の出力端とAND

回路504_kの入力端509_kに“1”が与えられる。書込みパルスではAND回路504_kの入力端509_kに“0”が与えられるから、OR回路503_kの両入力端に“0”が表われ、OR回路503_kの出力端には書込みパルス間隔中“0”が表われる。これによつて書込みパルス継続中は選択されない語に關係するゲート導線がインバータ500_kによりトランジスタ500_{k1}を通して分圧器550に結ばれ、書込みパルス休止期間ではトランジスタ500_{k2}を通して接続点515に接続される。書込みパルス休止期間ではNOR回路523の両入力端に“0”があつてその出力端から“1”が送り出されるから、トランジスタ520は導通する。選択されない語のゲート電圧 U_{α} はパルス休止期間中はほぼOVであり、書込みパルス継続中はOR回路503_kとインバータ500_{k2}の出力端に“0”があるため、トランジスタ500_{k1}を通して分圧器550の出力端551に導かれる。出力端551には全書込み過程で通電しているトランジスタ566を通して比較的低い電圧 U_{α} 即ち書込み過程でのコントロール読出し時のゲート電圧が表われる。分圧器550のトランジスタ564、565および567は全書込み過程で中阻止される。

選択された語iの場合には入力端507_iに表われる“1”がインバータ505_iにより“0”に変えられてAND回路504_iの接続端508_iに導かれるから、AND回路504_iは“0”をOR回路503_iに送り出す。AND回路511は入力端531を通して全書込み過程で“1”を受取る。

AND回路511は入力端530を通して書込みパルスの継続中“1”を受取り、書込みパルス休止期間では“0”を受取る。これによつてAND回路511は書込みパルスの継続中“1”を、書込みパルス休止期間中“0”をAND回路502_iの入力端506_iに送る。AND回路502_iの入力端507_iが選択された語として常に“1”を受取つた後AND回路502_iは書込みパルスの継続中“1”を、書込みパルス休止期間では“0”をOR回路503_iの入力端に送り込む。このOR回路の第二入力端は上記のように書込み時間中常に“0”を示す。従つて書込みパルスの継続中OR回路503_iの出力端には“1”があり、

ゲート電圧 U_{α} がトランジスタ500_{ii}を通して接続点515に加えられる。書込みパルス継続中NOR回路523の入力端522には“1”が導かれるから、その出力端には“0”が表われトランジスタ520が阻止される。接続点515にはゲート電圧 U_{α} に対応する約25Vの電圧が印加される。書込みパルス休止期間中選択語iに關係するゲートは通電状態のトランジスタ500_{ii}を通して分圧器550に接続され、その出力端551には通電状態のトランジスタ566により書込み過程での調整読出しに際してのゲート電圧 U_{α} が印加される。その他のトランジスタ565、564および567は書込みパルス休止期間で中阻止される。

選択語iの読出し中AND回路511の入力端530と531が常に“0”を示し、それに伴つてAND回路511の入力端が常に“0”を示すから、AND回路502_iの入力端506_iも常に“0”を示す。

従つてAND回路502_iはOR回路503_iに常に“0”を導く。AND回路504_iの入力端508_iは常にインバータ505_iを通して“0”を受取るから、その出力端から常に“0”がOR回路503_iに送られる。これにより全読出し過程でOR回路503_iの出力端は常に“0”を送り出し、トランジスタ500_{ii}が常に阻止され、トランジスタ500_{ii}はインバータ500_{ii}のため通電状態にあつて選択されたゲート導線を分圧器550と結ぶ。分圧器550では読出し過程でトランジスタ567、564、566が遮断され、分圧器の出力端にはゲート読出し電圧 U_{α} が接続される。

選択されない語kの場合はAND回路504_kの入力端508_kはインバータ505_kにより“1”が加えられ、その第二入力端509_kにはやはり“1”が導かれる。なぜなら、OR回路514の出力端が入力端518の“1”のために“1”を取るためである。これによりOR回路503_kは選択されない語に対しては常に“1”を出力端に示し、分圧器550は対応するゲート導線から遮断され、一方このゲート導線にはトランジスタ500_{k2}を通して接続点515の電圧が印加される。NOR回路523の両入力端521および522にそれぞれ“0”が導かれると、このNOR回路

の出力端には“1”が現われ、トランジスタ520は導通する。従つて接続点515の電圧とそれに伴つて選択されないゲートの電圧が全読出し過程中ほぼ“0”に対応する値(OV)となる。

分圧器550の抵抗571, 572, 573, 574は拡散抵抗又はエンハンスメント形の電界効果トランジスタとしてもよく、又デプレッション形の電界効果トランジスタとすることも可能である。抵抗571の抵抗572に接続されていない端子は接地される。抵抗574の抵抗573に接続されていない端子は消去中の調整読出し時のゲート電圧よりも高い電圧の給電電源に結ばれている。書込み-読出し窓と呼ばれている電圧差 $U_{gs}-U_{gs}$ は使用されるメモリの種類に応じて選定される。最も多く使用されているメモリ種類ではこの窓は1V乃至6Vである。第4図に示す分圧器は書込みおよび消去の双方においてのコントロール読出し電圧と読出し電圧の間に充分な大きさの差を保証するから、書込まれないセルと書込まれたセルとを確実に区別することができる。相互の電圧の相対的な位置関係はこの種の分圧器により確実に保持される。一つの記憶装置内のメモリセルの書込みおよび消去特性の許容差に基く差異は、読出しの信頼性に影響することなく書込み過程又は消去過程の長さに関係するだけである。電気的な窓 $U_{gs}-U_{gs}$ の幅は分圧器550を使用することにより“0”と“1”が読出し電圧の点で極めて精確に決定されているから、比較的狭くすることができる。これによつてプログラミング(書込)中の電圧を低くするかあるいはプログラム組替え(書換え)を特別に迅速に行うことができる。更に分圧器550を使用することにより上記の電気的な窓を使用されたメモリセルの所望のしきい値電圧範囲内に移すことができる。

第4図にはチャネルインジェクションにより充電され、制御ゲートと拡散領域との間の強い電界によつて放電するスプリット・ゲート・メモリセルに対するソース・ドレン制御回路200も右上方に示されている。その中ドレン制御回路220のi番目の列($i=1, \dots, n$)に対する部分は、トランジスタ210とそれに並列に接続されたトランジスタ209によつて構成されている。トランジスタ210は常に通電状態にあつて、読出しとコントロール読出しには充分である

が一つのセルのプログラミング(書込)には不足する小電流が流れる。AND回路208はその出力端211によりトランジスタ209のゲートを制御し、トランジスタ209はi番目の列(D_m)にデータが送られて入力端213に“1”が表われ、書込みパルスがそれに続いて“1”が入力端212に導かれるとき、対応セルにプログラミング(書込)電流を供給する。i番目の列のドレン電圧はトランジスタ209の抵抗を無視すれば $U_m \approx U_b \approx 17V$ となる。その他の可能なメモリ過程例えば書込みパルス休止期間中、全消去時間中および読出し時間中にはトランジスタ209は電流を流すことなく、i番目の列のドレン導線にプログラミング(書込)電流が流れることはない。

スプリット・ゲート・メモリセルのソース制御回路250は総てのソース導線に共通である。この回路は抵抗256で構成され、その一つの接続端はトランジスタ258のドレンに接続され、トランジスタ258のソース接続端子261は地電位におかれ、抵抗256の接続端255は25乃至40Vの電位 U_{ss} に接続される。トランジスタ258のゲートはインバータ259を通して消去パルス時間 T_L 中制御されて消去パルスを阻止する。ソース電圧 U_s が取出される接続点257の電圧は、トランジスタ258が阻止状態にあるとき $U_s \approx U_{ss} = 25 \sim 40V$ である。この比較的高い正のソース電圧は第4図に示されているメモリセルの場合消去パルスの継続中だけ必要となる。第4図に示したスプリット・ゲート・メモリセルの場合消去パルス中高い正電圧がソースに印加され、制御ゲートの電圧はその間OVとなる。消去パルスの維持する時間外ではトランジスタ258が導通し、点257の電位従つてソース電圧 U_s はほぼOVとなる。

制御ゲートと拡散領域の間に高い電圧を印加することによつて充電と放電が行われるメモリセルから構成された実施例に対するソースおよびドレン制御回路を第5図に示す。ゲートの制御は第4図のゲート制御と同様に実施される。

ドレン電圧 U_{mi} ($i=1, \dots, n$)は常に導通状態にあるトランジスタ270を通して給電電源 V_{DD} から導かれる。

上記の実施例ではチャネル領域とゲートの間で

ソース接続端子を通して消去とプログラミング(書込)が実施されるため、ソース制御回路がそれに対応して複雑となる。消去過程では $T_s = 0$ であり、 i 列のソース制御回路部分ではAND回路285_iの入力端286_iに“0”が導かれる。従ってAND回路285_iの出力端と同時にNOR回路281_iの入力端284_iが“0”となる。第二の入力端283_iは消去パルス継続中“1”でありその他の時間では“0”となるから、消去パルス時間 T_L 中NOR回路281_iの出力端282_iには“0”があり、トランジスタ271_iはこの間阻止され、消去パルス休止期間で導通状態となる。従って消去パルス時間 T_L の間中点290の電圧は抵抗277_iを通してソース導線にソース電圧 U_s として接続される。 $T_s = 0$ となつたときトランジスタ272が阻止され、同時に $T_L = 0$ となるからトランジスタ273も阻止される。これにより接続点290の電圧は $U_p = 20 \sim 40V$ となる。消去パルス休止期間ではトランジスタ271が導通状態にあつて、電圧 U_s はほぼ0Vとなる。

書込み過程に際しては選択された語に関するセルを含む i 列に対して書込み状態が成立し、

$$T_s = 1, D_m = 1$$

となる。インバート289_iを通してAND回路285_iの入力端287_iに“0”が表われ、その出力端284_iからNOR回路281_iの一つの入力端に“0”が送られる。第二の入力端283_iにも $T_L = 0$ であるため“0”が送り込まれる。NOR回路281_iの出力端282_iは“1”を送り出し、トランジスタ271_iを書込みパルス時間 T_s の間導通状態とする。従って書込みが行われるセルを含む列のソース電圧 U_s はほぼ0Vとなる。

書込みパルス休止期間においてもAND回路285_iの両入力端に“0”があるためトランジスタ271_iは通電し、285_iの出力信号が変化せず、 $U_s = 0V$ である。

選択されたセルに情報が書き込まれない列 k では $D_m = 0$ となる。インバート289_kのために、入力端287_kには常に“1”があり、AND回路285_kの第二入力端286_kには書込みパルス時間中同じく“1”がある。その他の時間では“0”が導かれる。従って書込みパルス時間中OR回路281_kの入力端284_kには“1”があ

り、その他の時間では“0”となる。全書込み過程中 $T_L = 0$ であるから、OR回路281_kの第二入力端283_kには書込み過程で常に“0”が導かれる。従って書込み過程においてNOR回路281_kの出力端282_kには書込みパルス休止期間中“1”が表われ、トランジスタ271_kが導通しソース電圧 U_s は0Vとなる。書込みパルス時間中はNOR回路281_kは出力端282_kから“0”を送り出し、トランジスタ271_kは阻止される。この場合ソース電圧 U_s は抵抗277_kを通して接続点290の電位におかれる。書込みパルス時間即ち $T_s \neq 0$ の間トランジスタ272が通電し、トランジスタ273は中間のNOR回路276のため阻止される。抵抗274と275は等大であるから点290の電位は $U_p = 20 \sim 40V$ の1/2である。従って情報の書込みがないセルを含む列 k のソース電圧 U_s は抵抗277_kの電圧降下を無視して書込みパルス時間中 $U_s = U_p / 2$ である。

読出し過程の継続中データ入力 i は0であり、インバート289_i ($i = 1, \dots, n$) を通して“1”がAND回路285_iの入力端287_iに送られ、 $T_s = 0$ により“0”がその入力端286_iに送られるから、この回路の出力端から“0”が入力端284_iに送られる。同時に消去されないためNOR回路281_iの第二入力端283_iにも“0”が送られ、その出力端282_iから“1”がトランジスタ271_iのゲートに導かれる。従ってトランジスタ271_iを導通し、ソース電圧 U_s は読出し過程でほぼ0Vとなる。

ビット単位で接続されるドレン線は通電状態のトランジスタ270_i ($i = 1, \dots, n$) を通して総て等しい電位 V_{DD} におかれる。

第4図、第5図に示したゲート、ソースおよびドレン制御回路が対応する消去、書込み又は読出し条件を設定することを次に説明する。第4図と第5図に示した二種類のセルにおいて消去はソースに高い正の電圧が印加され、ゲートに電圧0Vが印加されたときに行われる。消去パルス持続時間中第4図の回路では25乃至40Vの電圧 U_s がビット単位で接続されるソース導線に加えられる。第5図の回路ではビット単位で接続されるソース導線に $U_p = 20 \sim 40V$ に近い電圧 U_s ($i = 1, \dots, n$) が印加され、選択された語に関するゲート導線には消去パルス持続時間中 $U_s = 0V$ が印加さ

れるのに対し、選択されない語に関係するゲート導線には高い正電圧 $U_{\alpha} \approx 25V$ が印加される。これにより選択された語だけが消去パルス時間中に消去され、隣接語には影響を受けない。消去パルス休止期間では第4図および第5図の総てのソース導線がほぼ0Vに置かれる ($U_{\alpha} \approx 0V$)。選択語のゲート導線には比較的低い正の読出し電圧 U_{α} が印加されるが、この電圧は情報が書き込まれることのないような小さい値に選ばれている。選択されない語のゲート導線はほぼ0電位に置かれる ($U_{\alpha} \approx 0$)。これにより選択された語は消去パルス時間中に消去され、隣接語に影響を与えることはない。

書き込みパルス時間中選択語のゲート導線には高い正の電圧例えば25Vが印加され、非選択語のゲート導線はほぼ0Vに置かれる。

第4図のセルの場合書き込みが行われるセルを含む列に同時にセルのプログラミング(書込)に充分な高いチャネル電流が流れるのに対し、情報を受けないセルを含む列には読出し電流とはなるがセルの充電には充分でない小さなチャネル電流だけが流れる。選択されない隣接語には非選択語のゲート電圧 U_{α} が同時に0Vとなるため高いチャネル電流のビットでも書き込まれない。書き込みパルス時間中非選択語のゲート電圧はほぼ0Vであるのに対し、選択語のゲート電圧は低い正のコントロール読出し電圧 U_{α} となる。書き込みパルス休止期間中も高いチャネル電流が遮断され、読出し又はコントロール読出しは可能であるが情報の書き込みには充分でない小さいチャネル電流だけが流れる。非選択語のゲート電圧に対して選択語のゲート電圧が同時に異つた値をとるため、選択語のセルだけが実際に読み出される。

第5図の記憶装置のメモリセルは制御ゲートと拡散領域例えばソースとの間に高い電圧を印加することによって充電される。一つの書き込みパルスの間選択された語に対応するゲート導線には25乃至40Vの高い電圧が加えられ、選択された語に対応するゲート導線には情報の書き込みには不充分で例えば書き込み過程のコントロール読出し電圧 U_{α} に対応する低い正電圧が加わる。同時に情報を入れるセルを含む列にはほぼ0Vの電圧がソースに加えられ、書き込まれるセルが接続されていない総てのソース導線は正電圧 $1/2U_p$ に接続され

る。選択語と非選択語の間のゲート電圧の差は選択されたセルに情報が書き込まれ、同じビットに属する隣接セルに何等の情報も書き込まれないことを確実にする。情報の書き込みがないビットの場合ゲートとソースの間の電位勾配は情報の書き込みに対しては不充分で電位差が例えば $1/2U_p$ となるように選定される。これによりソース導線に $1/2U_p$ が加えられた一つのビットの総てのセルには確実に情報が書き込まれない。

書き込みパルス休止期間では選択されたゲートに書き込み中の調整読出し電圧 U_{α} に対応する小さい正の電圧が印加され、総ての隣接ゲート導線はほぼ0Vの電位に置かれる。総てのソース導線は同時に0V電圧にあつて、ソースとドレン間には僅かな読出し電流が流れる。これによつて確実に選択された語のセルだけでコントロール読出しが行われる。

読出しに際しては選択語のゲートに読出し電圧 U_{α} が加わり、非選択語のゲート電圧は読出し中0Vである。

制御ゲートと一つの拡散領域例えばソースとの間の高い電界により充電と放電を行なうメモリセルに対しては第5図に示したようなソース制御回路を使用し、それによつて非選択セルの制御ゲートとソース間の電位差を選択セルの書き込みに際して制御ゲートとソース間に加えられる電位差の $1/3$ とすることができる。第5図に示したソース制御回路のこのような変更は抵抗274と275の適当な大きさと接続によつて実現される。ただし同時にゲート制御回路の素子520と510を変更することが必要である。

この発明による記憶装置はテレビジョン装置の同調メモリ、電話交換設備の番号メモリの外小型電子計算機のプログラムメモリとして使用することができる。

図面の簡単な説明

第1図はこの発明の一つの実施例のブロック接続図、第2図は消去-書き込み-コントロール読出しおよび読出しパルスの時間経過図、第3図と第3a図はこの発明のメモリに対する評価ロジックの接続図、第4図はチャネル注入によつて充電されるセルで構成されたこの発明によるメモリのゲートとソースとドレンに対する制御回路の接続図、第5図はゲートと拡散領域の間の強い電界に

27

よつて充・放電されるセルで構成されたこの発明によるセルのソースおよびドレン制御回路の接続図である。第1図において100はメモリセルマトリックス、200はソース・ドレン制御回路、

28

300は制御回路200に必要なパルスを供給するパルス発生部、400は評価ロジック、500はゲート制御回路である。

FIG 1

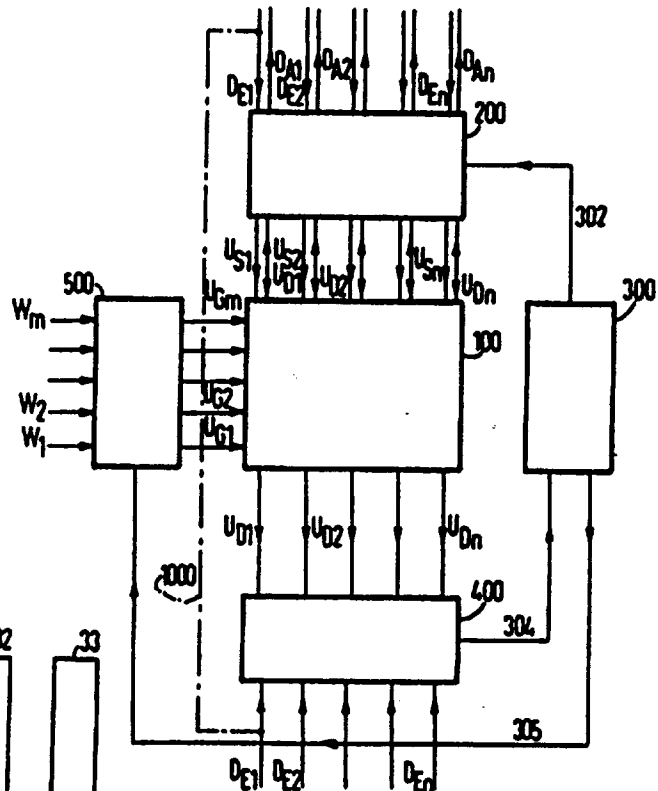


FIG 2

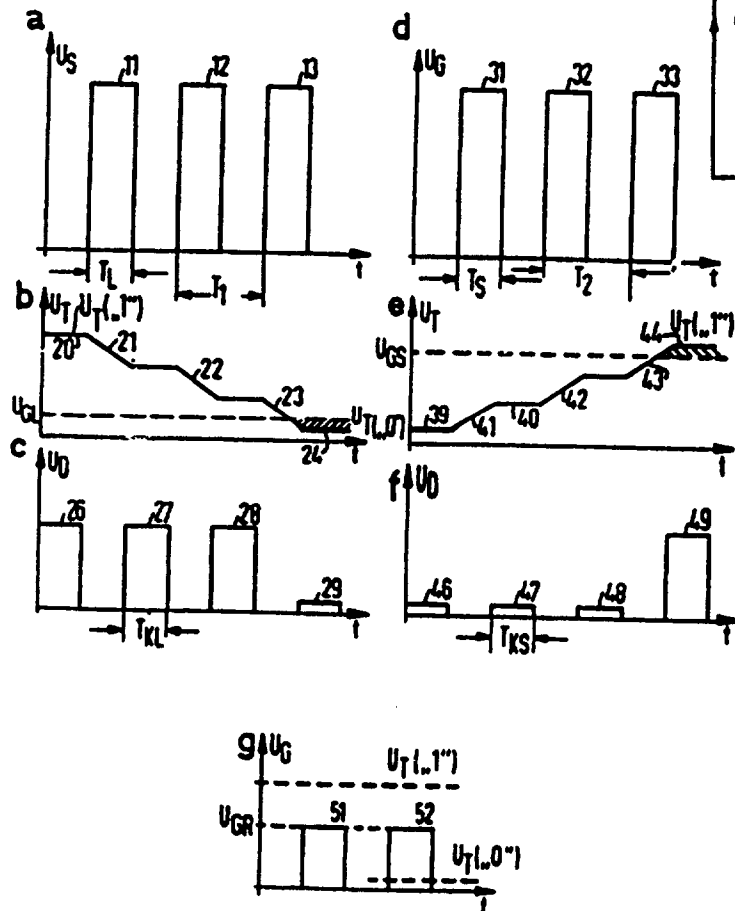


FIG 5

